

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

Doc
DITRAUGHT
4-10-01
JCS98 U.S. PTO
09/735555
12/14/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 3月30日

出願番号
Application Number:

特願2000-093760

出願人
Applicant(s):

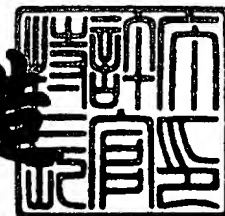
富士通株式会社
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3068058

【書類名】 特許願

【整理番号】 0040099

【提出日】 平成12年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0185

【発明の名称】 出力バッファ回路の制御方法及び出力バッファ回路

【請求項の数】 5

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 伊藤 邦洋

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【選任した代理人】

【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8 階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 出力バッファ回路の制御方法及び出力バッファ回路

【特許請求の範囲】

【請求項 1】 急峻な波形を持つ入力信号に応答して緩やかな波形を持つ信号を出力端子に出力する第 1 のドライブ回路と、

前記出力端子に接続され、前記第 1 のドライブ回路よりも出力インピーダンスが低く設定された第 2 のドライブ回路とを備え、

前記第 1 のドライブ回路が出力信号を充分に変化させた後に前記第 2 のドライブ回路を駆動するようにしたことを特徴とする出力バッファ回路の制御方法。

【請求項 2】 急峻な波形を持つ入力信号に応答して緩やかな波形を持つ信号を出力端子に出力する第 1 のドライブ回路と、

前記出力端子に接続され、前記第 1 のドライブ回路よりも出力インピーダンスが低く設定された第 2 のドライブ回路と、

前記第 1 のドライブ回路の出力信号を遅延した遅延信号を出力する遅延回路と

前記入力信号と前記遅延信号に基づいて、前記第 1 のドライブ回路が出力信号を充分に変化させた後に前記第 2 のドライブ回路を駆動するべく制御信号を生成する制御回路と、

を備えたことを特徴とする出力バッファ回路。

【請求項 3】 前記第 1 のドライブ回路は、第 1 の電源と出力端子との間に接続された第 1 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 2 の出力トランジスタとを備え、第 1 及び第 2 の出力トランジスタは入力信号に基づいて制御端子に印加される急峻な波形を持つ信号に応答して緩やかな波形を持つ信号を出力するように設定され、

前記第 2 のドライブ回路は、第 1 の電源と出力端子との間に接続され第 3 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 4 の出力トランジスタとを備え、第 3 及び第 4 の出力トランジスタは前記第 1 及び第 2 の出力トランジスタよりも低いインピーダンスを持つように設定されたことを特徴とする請求項 2 に記載の出力バッファ回路。

【請求項 4】 前記制御回路は、

前記第 1 の出力トランジスタを前記入力信号に基づいてオン状態に制御し、前記第 3 の出力トランジスタを前記遅延信号に基づいてオン状態に制御し、前記第 1 及び第 3 の出力トランジスタを前記入力信号に基づいてオフ状態に制御し、

前記第 2 の出力トランジスタをオン状態に制御した後、前記第 4 の出力トランジスタをオン状態に制御し、前記第 2 及び第 4 の出力トランジスタを前記入力信号に基づいてオフ状態に制御する

ことを特徴とする請求項 3 に記載の出力バッファ回路。

【請求項 5】 前記第 2 のドライブ回路は、それぞれ異なるインピーダンスに設定された複数の副ドライブ回路から構成され、

前記複数の副ドライブ回路のうちの少なくとも一つを選択して出力インピーダンスを変更可能に構成した、ことを特徴とする請求項 2 に記載の出力バッファ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は緩やかな立ち上がり・立ち下がり波形を持つ出力信号を出力するとともに、出力インピーダンスが低く設定された出力バッファ回路に関するものである。

【0002】

近年、半導体集積回路装置には、その出力信号の遷移時間（立ち上がり時間・立ち下がり時間）が長い特性を持つ出力バッファ回路が設けられているものがある。例えば、コンピュータとキーボードの接続に用いられる USB (Universal Serial Bus) 等のように、低速なデータ転送を行うインタフェースには、信号波形の立ち上がり・立ち下がり時間を長くすることで、バスケーブルに不要輻射防止用のシールドを不用にしている。この様な出力バッファ回路において、プロセス等の要因による遷移時間のバラツキ低減が望まれている。

【0003】

【従来の技術】

図 6 は、従来の出力バッファ回路の回路図である。

出力バッファ回路 1 1 は、ドライブ回路 1 2、第 1 及び第 2 制御回路 1 3、1 4 を備えている。

【 0 0 0 4 】

ドライブ回路 1 2 は、高電位電源 V_{DD} と出力端子 1 5 の間に接続された P チャネル MOS トランジスタ T_{P1} と、低電位電源 V_{SS} と出力端子 1 5 の間に接続された N チャネル MOS トランジスタ T_{N1} とから構成されている。両トランジスタ T_{P1} 、 T_{N1} のゲートはそれぞれ第 1 及び第 2 制御回路 1 3、1 4 に接続されている。

【 0 0 0 5 】

第 1 制御回路 1 3 は、高電位電源 V_{DD} と出力トランジスタ T_{P1} のゲートとの間に接続された PMOS トランジスタ T_{P2} と、低電位電源 V_{SS} と出力トランジスタ T_{P1} のゲートとの間に直列接続された 2 つの NMOS トランジスタ T_{N2} 、 T_{N3} を備えている。各トランジスタ T_{P2} 、 T_{N2} 、 T_{N3} のゲートには外部入力信号 V_{IN} が印加され、それに応答して制御信号 V_P を出力トランジスタ T_{P1} のゲートに供給する。

【 0 0 0 6 】

第 2 制御回路 1 4 は、高電位電源 V_{DD} と出力トランジスタ T_{N1} のゲートとの間に直列接続された 2 つの PMOS トランジスタ T_{P3} 、 T_{P4} と、低電位電源 V_{SS} と出力トランジスタ T_{N1} のゲートとの間に接続された NMOS トランジスタ T_{N4} を備えている。各トランジスタ T_{P3} 、 T_{P4} 、 T_{N4} のゲートには外部入力信号 V_{IN} が印加され、それに応答して制御信号 V_N を出力トランジスタ T_{N1} のゲートに供給する。

【 0 0 0 7 】

ドライブ回路 1 2 の両トランジスタ T_{P1} 、 T_{N1} は、出力端子 1 5 から見て低いインピーダンスを持つように、それぞれ大きなトランジスタサイズ（ゲート幅）に形成されている。従って、出力端子 1 5 からの外部出力信号 V_{OUT} が極めて緩やかな立ち上がり波形を持つように、第 1 制御回路 1 3 は、直列に接続された N チャネル MOS トランジスタ T_{N2} 、 T_{N3} により低電位電源 V_{SS} に流

れ込む電流量を制御し、緩やかな立ち下がり波形を持つ制御信号 V P を生成する。

また、外部出力信号 V O U T が極めて緩やかな立ち下がり波形を持つように、第 2 制御回路 1 4 は、直列に接続された P チャネル M O S トランジスタ T P 3, T P 4 により高電位電源 V D D から流れ出す電流量を制御し、緩やかな立ち上がり波形を持つ制御信号 V N を生成する。

【 0 0 0 8 】

即ち、出力信号 V O U T の波形を緩やかな遷移とするための手段として、第 1 及び第 2 制御回路 1 3, 1 4 は、出力トランジスタ T P 1 及び T N 1 のゲートに印加する制御信号 V P, V N の波形遷移時間を制御している。

【 0 0 0 9 】

【発明が解決しようとする課題】

ところで、出力信号 V O U T の波形（立ち上がり時間及び立ち下がり時間）は、規格によりその最小値及び最大値が規定されている。しかしながら、製造プロセスのバラツキによる第 1 及び第 2 制御回路 1 3, 1 4 の各トランジスタ T P 2 ~ T P 4, T N 2 ~ T N 4 のサイズ、第 1 及び第 2 制御回路 1 3, 1 4 と出力トランジスタ T P 1, T N 2 の間の配線容量のバラツキ、電源電圧源のバラツキ、温度変化等の要因は、制御信号 V P, V N の波形に大きな影響を与える。これにより、外部出力信号 V O U T の波形（立ち上がり時間及び立ち下がり時間）のバラツキが大きくなり、それらが規格から外れる場合があった。

【 0 0 1 0 】

本発明は上記問題点を解決するためになされたものであって、その目的は遷移時間のバラツキが少ない信号を出力することのできる出力バッファ回路を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明は、急峻な波形を持つ入力信号に応答して緩やかな波形を持つ信号を出力端子に出力する第 1 のドライブ回路と、前記出力端子に接続され、前記第 1 のドライブ回路よりも出力インピーダン

スが低く設定された第2のドライブ回路とを備え、前記第1のドライブ回路が出力信号を充分に変化させた後に前記第2のドライブ回路を駆動するようにした。これにより、緩やかな波形を持つ出力信号を出力するとともに、出力信号の静的状態において低インピーダンス特性を実現することができる。

【0012】

請求項2に記載の発明は、急峻な波形を持つ入力信号に応答して緩やかな波形を持つ信号を出力端子に出力する第1のドライブ回路と、前記出力端子に接続され、前記第1のドライブ回路よりも出力インピーダンスが低く設定された第2のドライブ回路と、前記第1のドライブ回路の出力信号を遅延した遅延信号を出力する遅延回路と、前記入力信号と前記遅延信号に基づいて、前記第1のドライブ回路が出力信号を充分に変化させた後に前記第2のドライブ回路を駆動するべく制御信号を生成する制御回路とを備えている。これにより、第1のドライブ回路にて緩やかな波形を持つ出力信号を出力するとともに、出力信号の静的状態において第2のドライブ回路にて低インピーダンス特性を実現することができる。

【0013】

請求項3に記載の発明のように、前記第1のドライブ回路は、第1の電源と出力端子との間に接続された第1の出力トランジスタと、第2の電源と出力端子との間に接続された第2の出力トランジスタとを備え、第1及び第2の出力トランジスタは入力信号に基づいて制御端子に印加される急峻な波形を持つ信号に応答して緩やかな波形を持つ信号を出力するように設定され、前記第2のドライブ回路は、第1の電源と出力端子との間に接続され第3の出力トランジスタと、第2の電源と出力端子との間に接続された第4の出力トランジスタとを備え、第3及び第4の出力トランジスタは前記第1及び第2の出力トランジスタよりも低いインピーダンスを持つように設定されている。これにより、第1及び第2の出力トランジスタにより出力信号の立ち上がり波形及び立ち下がり波形を緩やかにするとともに、第3及び第4の出力トランジスタにより低インピーダンス特性を実現できる。

【0014】

制御回路は、請求項4に記載の発明のように、前記第1の出力トランジスタを

前記入力信号に基づいてオン状態に制御し、前記第 3 の出力トランジスタを前記遅延信号に基づいてオン状態に制御し、前記第 1 及び第 3 の出力トランジスタを前記入力信号に基づいてオフ状態に制御し、前記第 2 の出力トランジスタをオン状態に制御した後、前記第 4 の出力トランジスタをオン状態に制御し、前記第 2 及び第 4 の出力トランジスタを前記入力信号に基づいてオフ状態に制御する。

【 0 0 1 5 】

第 2 のドライブ回路は、請求項 5 に記載の発明のように、それぞれ異なるインピーダンスに設定された複数の副ドライブ回路から構成され、前記複数の副ドライブ回路のうちの少なくとも一つを選択して出力インピーダンスを変更可能に構成した。

【 0 0 1 6 】

【発明の実施の形態】

(第一実施形態)

以下、本発明を具体化した第一実施形態を図 1 ～図 3 に従って説明する。

【 0 0 1 7 】

図 1 は、本実施形態の出力バッファ回路 2 1 の回路図である。

この出力バッファ回路 2 1 は、第 1 及び第 2 ドライブ回路 2 2, 2 3、第 1 及び第 2 制御回路 2 4, 2 5、及び遅延回路 2 6 を備え、入力端子 2 7 からの外部入力信号 V_{IN} に応答し、所定の規格に対応した緩やかな立ち上がり波形及び立ち下がり波形を持つ外部出力信号 V_{OUT} を出力端子 2 8 から出力する特性を持つとともに、出力端子 2 8 から見て低いインピーダンス特性を持つ。

【 0 0 1 8 】

第 1 ドライブ回路 2 2 は、所定の規格に対応した緩やかな立ち上がり波形及び立ち下がり波形を持つ外部出力信号 V_{OUT} を出力する特性のために設けられ、第 2 ドライブ回路 2 3 は、低いインピーダンス特性のために設けられている。

【 0 0 1 9 】

第 1 ドライブ回路 2 2 は、高電位電源 V_{DD} と出力端子 2 8 との間に接続された P チャネル MOS トランジスタよりなる第 1 出力トランジスタ T_1 と、低電位電源 V_{SS} と出力端子 2 8 との間に接続された N チャネル MOS トランジスタよ

りなる第2出力トランジスタT2とから構成されている。両出力トランジスタT1, T2は、入力信号の急峻な変化に対応して外部出力信号VOUTが緩やかな立ち上がり波形及び立ち下がり波形となるように、即ち、高いインピーダンスを持つように設定されたそれぞれのトランジスタサイズ（ゲート幅）に形成されている。第1出力トランジスタT1のゲートには第1制御回路24から第1制御信号S1が印加され、第2出力トランジスタT2のゲートには第1制御回路24から第2制御信号S2が印加されている。

【0020】

第2ドライブ回路23は、高電位電源VDDと出力端子28との間に接続されたPMOSトランジスタよりなる第3出力トランジスタT3と、低電位電源VSSと出力端子28との間に接続されたNMOSトランジスタよりなる第4出力トランジスタT4とから構成されている。両出力トランジスタT3, T4は、外部出力信号VOUTの静的状態において低いインピーダンス特性のために設定されたそれぞれのトランジスタサイズ（ゲート幅）に形成されている。第3出力トランジスタT3のゲートには第2制御回路25から第3制御信号S3が印加され、第4出力トランジスタT4のゲートには第2制御回路25から第4制御信号S4が印加されている。

【0021】

第1制御回路24は、2つのインバータ回路31, 32から構成されている。第1インバータ回路31は外部入力信号VINに応答してその信号VINを論理反転した第1制御信号S1を出力する。第2インバータ回路32は、外部入力信号VINに応答してその信号VINを論理反転した第2制御信号S2を出力する。

【0022】

第2制御回路25は、ナンド回路33とノア回路34とから構成されている。ナンド回路33は、外部入力信号VINと遅延回路26から遅延信号SDが入力され、両信号VIN, SDを否定論理積演算して生成した第3制御信号S3を出力する。ノア回路34は、外部入力信号VINと遅延回路26から遅延信号SDが入力され、両信号VIN, SDを否定論理和演算して生成した第4制御信号S

4 を出力する。

【 0 0 2 3 】

遅延回路 2 6 は、直列接続された偶数段（本実施形態では 4 段）のインバータ回路 3 5 ～ 3 8 から構成されている。初段のインバータ回路 3 5 には外部出力信号 $VOUT$ が入力され、最終段のインバータ回路 3 8 から遅延信号 SD が出力される。このように構成された遅延回路 2 6 は、外部出力信号 $VOUT$ をインバータ回路 3 5 ～ 3 8 の段数に応じて所定時間遅延させ、その遅延信号 SD を出力する。

【 0 0 2 4 】

インバータ回路 3 5 ～ 3 8 の段数は、第 1 ドライブ回路 2 2 の特性に対応して、第 1 ドライブ回路 2 2 が動作してから所定時間遅れて第 2 ドライブ回路 2 3 が動作するように設定される。即ち、第 1 ドライブ回路 2 2 による外部出力信号 $VOUT$ の波形は、その第 1 ドライブ回路 2 2 の出力トランジスタ $T1$ 、 $T2$ が高インピーダンス特性であることから、極めて緩やかな立ち上がり及び立ち下がりを示す。この外部出力信号 $VOUT$ が十分に立ち上がり又は立ち下がりしたのちに、第 2 ドライブ回路 2 3 を駆動させる。この第 2 ドライブ回路 2 3 は、低出力インピーダンス特性を持つ。従って、第 1 ドライブ回路 2 2 により外部出力信号 $VOUT$ の波形を極めて緩やかに立ち上がり及び立ち下がりさせ、第 2 ドライブ回路 2 3 により低出力インピーダンス特性を満足させる訳である。

【 0 0 2 5 】

次に、上記のように構成された出力バッファ回路 2 1 の作用を図 2 及び図 3 に従って説明する。

先ず、外部入力信号 VIN が L レベル（低電位電源 VSS レベル）から H レベル（高電位電源 VDD レベル）へと立ち上がる場合について説明する。この場合、遅延回路 2 6 により外部出力信号 $VOUT$ の変化から遅延信号 SD が変化するまでの期間を第 1 期間（図 2 の期間 $A1$ ）、遅延信号 SD が変化した以降を第 2 期間（図 2 の期間 $B1$ ）とする。

【 0 0 2 6 】

[第 1 期間]

第 1 制御回路 2 4 は、入力信号 V I N の立ち上がりに応答して第 1 及び第 2 制御信号 S 1, S 2 を立ち下げ、これにより第 1 ドライブ回路 2 2 の第 1 出力トランジスタ T 1 がオン状態となり、第 2 出力トランジスタ T 2 がオフ状態になる。

【 0 0 2 7 】

第 2 制御回路 2 5 は、H レベルの第 3 制御信号 S 3 を出力し、入力信号 V I N の立ち上がりに応答して第 4 制御信号 S 4 を立ち下げる。これにより、第 3 出力トランジスタ T 3 はオフ状態が維持され、第 4 トランジスタ T 4 はオフする。

【 0 0 2 8 】

この結果、外部出力信号 V O U T は、高インピーダンスを持つ第 1 出力トランジスタ T 1 により極めて緩やかに変化して L レベルから H レベルへと立ち上がる。

【 0 0 2 9 】

この第 1 期間において、第 1 及び第 2 出力トランジスタ T 1, T 2 が同時にオン状態となり得るが、両出力トランジスタ T 1, T 2 は高インピーダンス特性を持つため、それらを流れる電流量は低インピーダンス特性を持つ従来の出力トランジスタ T P 1, T N 1 を流れる電流量よりも極めて少ない。

【 0 0 3 0 】

[第 2 期間]

第 2 制御回路 2 5 は、遅延信号 S D の立ち上がりに応答して第 3 制御信号 S 3 を立ち下げる。これにより、第 3 出力トランジスタ T 3 がオンする。この結果、オンした第 3 出力トランジスタ T 3 により、出力バッファ回路 2 1 は、低出力インピーダンス特性を持つ。

【 0 0 3 1 】

このように、第 3 及び第 4 出力トランジスタ T 3, T 4 は、先ず第 4 出力トランジスタ T 4 がオフし、所定時間経過した後に第 3 出力トランジスタ T 3 がオンする。従って、第 3 及び第 4 出力トランジスタ T 3, T 4 が同時にオン状態にならないため、両出力トランジスタ T 3, T 4 を流れる貫通電流はほとんど 0 (ゼロ) となる。

【 0 0 3 2 】

次に、外部入力信号 V I N が H レベルから L レベルへと立ち下がる場合について説明する。この場合、遅延回路 2 6 により外部出力信号 V O U T の変化から遅延信号 S D が変化するまでの期間を第 3 期間（図 2 の期間 A 2）、遅延信号 S D が変化した以降を第 4 期間（図 2 の期間 B 2）とする。

【 0 0 3 3 】

〔第 3 期間〕

第 1 制御回路 2 4 は、入力信号 V I N の立ち下がりに応答して第 1 及び第 2 制御信号 S 1，S 2 を立ち上げ、これにより第 1 ドライブ回路 2 2 の第 1 出力トランジスタ T 1 がオフ状態となり、第 2 出力トランジスタ T 2 がオン状態になる。

【 0 0 3 4 】

第 2 制御回路 2 5 は、入力信号 V I N の立ち下がりに応答して第 3 制御信号 S 3 を立ち上げ、L レベルの第 4 制御信号 S 4 を出力する。これにより、第 3 出力トランジスタ T 3 はオフされ、第 4 トランジスタ T 4 はオフ状態を維持される。

【 0 0 3 5 】

この結果、外部出力信号 V O U T は、高インピーダンスを持つ第 2 出力トランジスタ T 2 により極めて緩やかに変化して H レベルから L レベルへと立ち下がる。

【 0 0 3 6 】

〔第 4 期間〕

第 2 制御回路 2 5 は、遅延信号 S D の立ち下がりに応答して第 4 制御信号 S 4 を立ち上げる。これにより、第 4 出力トランジスタ T 4 がオンする。この結果、オンした第 4 出力トランジスタ T 4 により、出力バッファ回路 2 1 は、低出力インピーダンス特性を持つ。

【 0 0 3 7 】

このように、第 3 及び第 4 出力トランジスタ T 3，T 4 は、先ず第 3 出力トランジスタ T 3 がオフし、所定時間経過した後に第 4 出力トランジスタ T 4 がオンする。従って、第 3 及び第 4 出力トランジスタ T 3，T 4 が同時にオン状態にならないため、両出力トランジスタ T 3，T 4 を流れる貫通電流はほとんど 0（ゼロ）となる。

【 0 0 3 8 】

図 3 は、本実施形態の出力バッファ回路 2 1 による外部出力信号 V_{OUT} の最小値 (V_{1min}) と最大値 (V_{1max}) と、従来の出力バッファ回路 1 1 による外部出力信号 V_{OUT} の最小値 (V_{2min}) と最大値 (V_{2max}) を示す。尚、最小値は、製造プロセス等のバラツキ要因によって外部出力信号 V_{OUT} の立ち上がり時間及び立ち下がり時間が最も短い値の時の波形を示し、最大値は逆にそれが最も長い値の時の波形を示す。

【 0 0 3 9 】

本実施形態の出力バッファ回路 2 1 は、第 1 ドライブ回路 2 2 を構成する第 1 及び第 2 出力トランジスタ T_1 、 T_2 を高インピーダンスに形成しているため、それらのゲートに印加する第 1 及び第 2 制御信号 S_1 、 S_2 の立ち上がり及び立ち下がり急峻である。この様な制御信号 S_1 、 S_2 はバラツキ要因の影響を受け難いため、それによる遷移時間のバラツキは従来に比べて少なくなる。

【 0 0 4 0 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 第 1 ドライブ回路 2 2 は、急峻な波形を持つ入力信号 V_{IN} に応答して緩やかな波形を持つ信号 V_{OUT} を出力端子 2 8 に出力し、第 2 ドライブ回路 2 3 は、第 1 ドライブ回路 2 2 よりも出力インピーダンスが低く設定されている。遅延回路 2 6 は、出力信号 V_{OUT} を遅延した遅延信号 S_D を出力する。そして、制御回路 2 4、2 5 は、入力信号 V_{IN} と遅延信号 S_D に基づいて、第 1 ドライブ回路 2 2 が出力信号 V_{OUT} を充分に変化させた後に第 2 ドライブ回路 2 3 を駆動するようにした。第 1 ドライブ回路 2 2 の出力トランジスタ T_1 、 T_2 のゲートに印加する制御信号 S_1 、 S_2 はバラツキ要因の影響を受け難い。その結果、第 1 ドライブ回路 2 2 にて緩やかな波形を持つ出力信号 V_{OUT} を出力するとともに、出力信号 V_{OUT} の静的状態において第 2 ドライブ回路 2 3 にて低インピーダンス特性を実現し、しかも出力信号 V_{OUT} の遷移時間のバラツキを少なくすることができる。

【 0 0 4 1 】

(2) 制御回路 2 5 は、第 3 出力トランジスタ T_3 がオフ状態に制御した後に

第4出力トランジスタT4をオン状態に制御し、第4出力トランジスタT4をオフ状態に制御した後に第3出力トランジスタT3をオン状態に制御するようにした。その結果、第3及び第4出力トランジスタT3、T4が同時にオン状態にならないため、第3及び第4出力トランジスタT3、T4に貫通電流が流れず、それにより消費電流を低減することができる。

【0042】

（第二実施形態）

以下、本発明を具体化した第二実施形態を図4に従って説明する。

尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【0043】

図4は、本実施形態の出力バッファ回路41の回路図であり、この出力バッファ回路41は、出力インピーダンス値が変更可能に構成されている。

即ち、出力バッファ回路41は、第1及び第2ドライブ回路22、42、第1及び第2制御回路24、43、遅延回路26、3つのインバータ回路44、45、46を備える。第2ドライブ回路42は複数（本例では3つ）の副ドライブ回路42a、42b、42cから構成され、それに対応して第2制御回路43は3つの副制御回路43a、43b、43cから構成されている。

【0044】

各副ドライブ回路42a～42cは、少なくとも一つが異なるインピーダンスを持つように設定されたPMOSトランジスタよりなる出力トランジスタT3a～T3cとNMOSトランジスタよりなる出力トランジスタT4a～T4cにより構成されている。

【0045】

各副制御回路43a～43cは、各出力トランジスタT3a～T3cを制御する制御信号S3a～S3cを生成するためのナンド回路47a～47cと、各出力トランジスタT4a～T4cを制御する制御信号S4a～S4cを生成するためのノア回路48a～48cとから構成されている。ナンド回路47a～47cは3入力素子であり、外部入力信号VIN、遅延信号SDとともに、選択信号S

SEL0, SEL1, SEL2がそれぞれ入力される。ノア回路48a~48cは3入力素子であり、外部入力信号VIN、遅延信号SDとともに、選択信号SEL0, SEL1, SEL2をインバータ回路44, 45, 46により論理反転した信号が入力される。

【0046】

従って、選択信号SEL0~SEL2のうちの少なくとも一つをHレベルにすることで、その選択信号SEL0~SEL2に対応する制御信号S3a~S3c, S4a~S4cが供給された各副ドライブ回路42a~42cが活性化し、それにより所望の出力インピーダンス値を持つ。

【0047】

以上記述したように、本実施の形態によれば、第一実施形態の効果に加えて、以下の効果を奏する。

(1) 第2ドライブ回路42をそれぞれ異なるインピーダンスを持つ3つの副ドライブ回路42a~42cにて構成し、選択信号SEL0~SEL2に基づいて副ドライブ回路42a~42cのうちの少なくとも一つを動作させるようにした。その結果、出力信号VOUTの静的状態における出力インピーダンスを選択することができる。

【0048】

尚、前記実施形態は、以下の態様に変更してもよい。

○上記実施形態では、入力信号VINと同相の出力信号VOUTを出力する非反転出力バッファ回路21, 41に具体化した但、入力信号VINと逆相の出力信号VOUTを出力する反転出力バッファ回路に具体化して実施してもよい。その反転出力バッファ回路を図5に示す。この出力バッファ回路51は、第1及び第2ドライブ回路22, 23、第1及び第2制御回路52, 53、遅延回路54を備える。第1制御回路52は2つのバッファ回路55, 56を備え、それらバッファ回路55, 56により第1及び第2出力トランジスタT1, T2のゲートに印加する入力信号VINと同相の第1及び第2制御信号S11, S12を生成する。第2制御回路53は、第3出力トランジスタT3のゲートに印加する第3制御信号S13を生成するオア回路57と、第4出力トランジスタT4のゲート

に印加する第 4 制御信号 S 1 4 を生成するアンド回路 5 8 を備える。遅延回路 5 4 は奇数段のインバータ回路 3 5, 3 6, 3 7 から構成され、外部出力信号 V O U T を遅延させるとともに論理反転した信号を出力する。このように構成された出力バッファ回路 5 1 は、上記第一実施形態の出力バッファ回路 2 1 と同様の効果を奏する。

【 0 0 4 9 】

尚、この出力バッファ回路 5 1 の構成（第 1 及び第 2 制御回路 5 2, 5 3、及び遅延回路 5 4）を第二実施形態の構成に適用してもよい。また、第 1 及び第 2 制御信号 S 1 1, S 1 2 は入力信号 V I N と同相であるため、その入力信号 V I N を第 1 及び第 2 出力トランジスタ T 1, T 2 のゲートに印加し、第 1 制御回路 5 2 を省略してもよい。

【 0 0 5 0 】

○上記各実施形態を、高電位電源 V D D 側の出力トランジスタ T 1, T 3 のみを備えた出力バッファ回路、又は低電位電源 V S S 側のみ出力トランジスタ T 2, T 4 のみを備えた、所謂オープンドレイン型の出力バッファ回路に具体化してもよい。

【 0 0 5 1 】

以上の実施形態をまとめ、本発明の構成に関する以下の事項を開示する。

（1） 前記第 1 のドライブ回路は、第 1 の電源と出力端子との間に接続された第 1 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 2 の出力トランジスタとを備え、第 1 及び第 2 の出力トランジスタは入力信号に基づいて制御端子に印加される急峻な波形を持つ信号に応答して緩やかな波形を持つ信号を出力するように設定され、前記第 2 のドライブ回路は、第 1 の電源と出力端子との間に接続され第 3 の出力トランジスタと、第 2 の電源と出力端子との間に接続された第 4 の出力トランジスタとを備え、第 3 及び第 4 の出力トランジスタは前記第 1 及び第 2 の出力トランジスタよりも低いインピーダンスを持つように設定され、前記出力信号を所定時間遅延させた遅延信号と前記入力信号とに基づいて前記第 3 及び第 4 の出力トランジスタの制御端子にそれぞれ印加する制御信号を生成するようにした、ことを特徴とする請求項 1 に記載の出力バッファ回

路の制御方法。

【 0 0 5 2 】

(2) 前記第 1 及び第 3 の出力トランジスタは、前記第 1 の出力トランジスタをオン状態に制御した後、前記第 3 の出力トランジスタをオン状態に制御し、前記第 1 及び第 3 の出力トランジスタを同時にオフ状態に制御し、前記第 2 及び第 4 の出力トランジスタは、前記第 2 の出力トランジスタをオン状態に制御した後、前記第 4 の出力トランジスタをオン状態に制御し、前記第 2 及び第 4 の出力トランジスタを同時にオフ状態に制御することを特徴とする上記 (1) に記載の出力バッファ回路の制御方法。

【 0 0 5 3 】

(3) 前記制御回路は、前記入力信号を反転して前記第 1 及び第 2 の出力トランジスタに印加する第 1 及び第 2 の制御信号を生成する第 1 の制御回路と、前記入力信号と前記遅延信号とに基づいて、前記入力信号と逆相であり前記第 3 及び第 4 の出力トランジスタに印加する第 3 及び第 4 の制御信号を生成する第 2 の制御回路と、から構成されたことを特徴とする請求項 4 に記載の出力バッファ回路。

【 0 0 5 4 】

(4) 前記制御回路は、前記入力信号に基づいて前記第 1 及び第 2 の出力トランジスタをオン・オフ制御し、前記入力信号と前記遅延信号とに基づいて前記第 3 及び第 4 の出力トランジスタをオン・オフ制御するようにしたことを特徴とする請求項 4 に記載の出力バッファ回路。

【 0 0 5 5 】

(5) 前記制御回路は、前記入力信号と前記遅延信号と選択信号に基づいて前記各副ドライブ回路に制御信号を供給することを特徴とする請求項 5 に記載の出力バッファ回路。

【 0 0 5 6 】

【発明の効果】

以上詳述したように、本発明によれば、急峻な信号に応答して緩やかな波形を持つ信号を出力する第 1 のドライブ回路と、低インピーダンスに設定された第 2

のドライブ回路を備え、それらを制御することで、遷移時間のバラツキが少ない信号を出力することのできる出力バッファ回路を提供することができる。

【図面の簡単な説明】

【図 1】 第一実施形態の出力バッファ回路の回路図である。

【図 2】 出力バッファ回路の動作波形図である。

【図 3】 出力信号の遷移期間の変動量を示す波形図である。

【図 4】 第二実施形態の出力バッファ回路の回路図である。

【図 5】 別の出力バッファ回路の回路図である。

【図 6】 従来の出力バッファ回路の回路図である。

【符号の説明】

2 2 第 1 のドライブ回路

2 3, 4 2 第 2 のドライブ回路

2 4, 5 2 第 1 の制御回路

2 5, 4 3, 5 3 第 2 の制御回路

2 6 遅延回路

4 2 a ~ 4 2 c 副ドライブ回路

4 3 a ~ 4 3 c 副制御回路

S 1 ~ S 4 制御信号

S E L 0 ~ S E L 2 選択信号

T 1 第 1 出力トランジスタ

T 2 第 2 出力トランジスタ

T 3 第 3 出力トランジスタ

T 4 第 4 出力トランジスタ

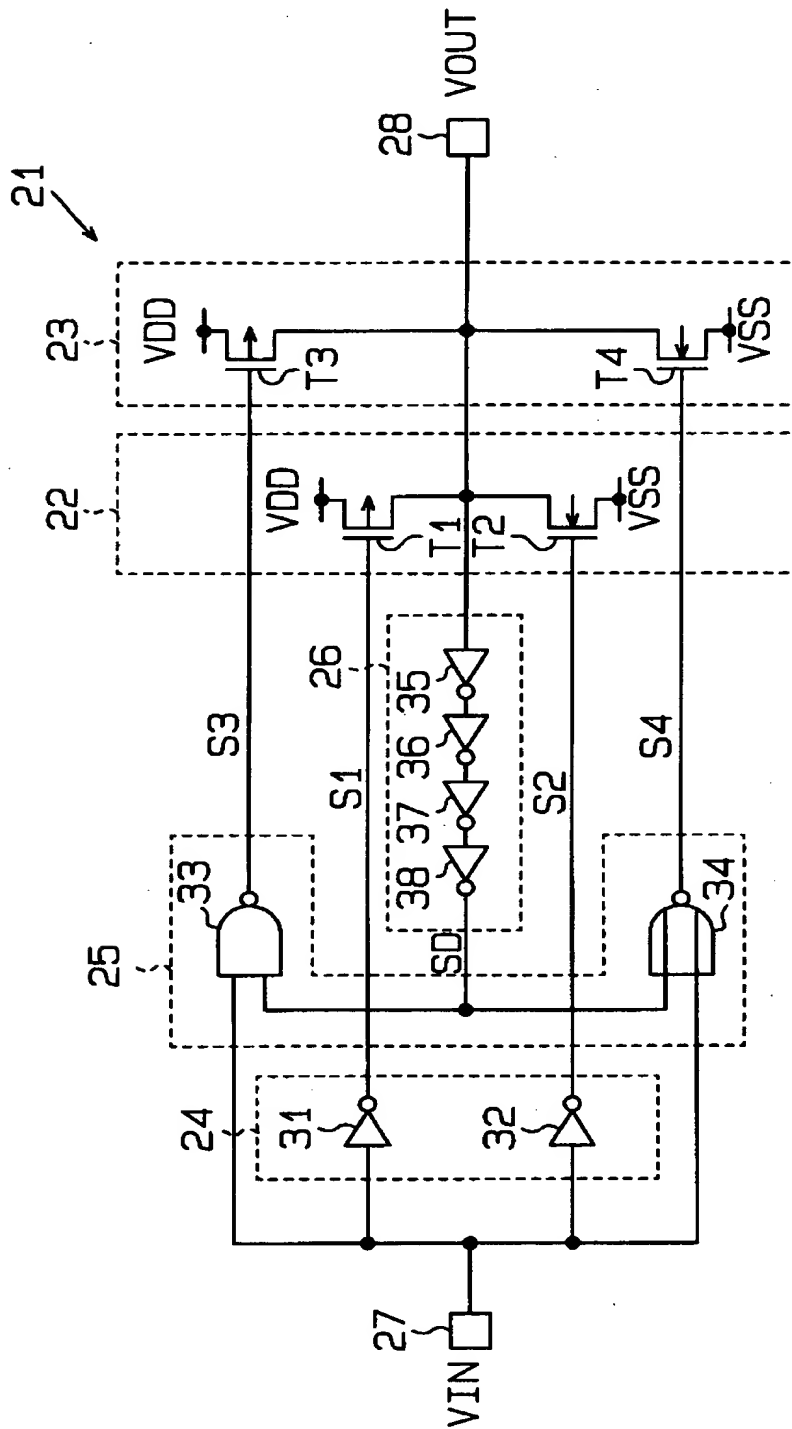
V I N 入力信号

V O U T 出力信号

【書類名】 図面

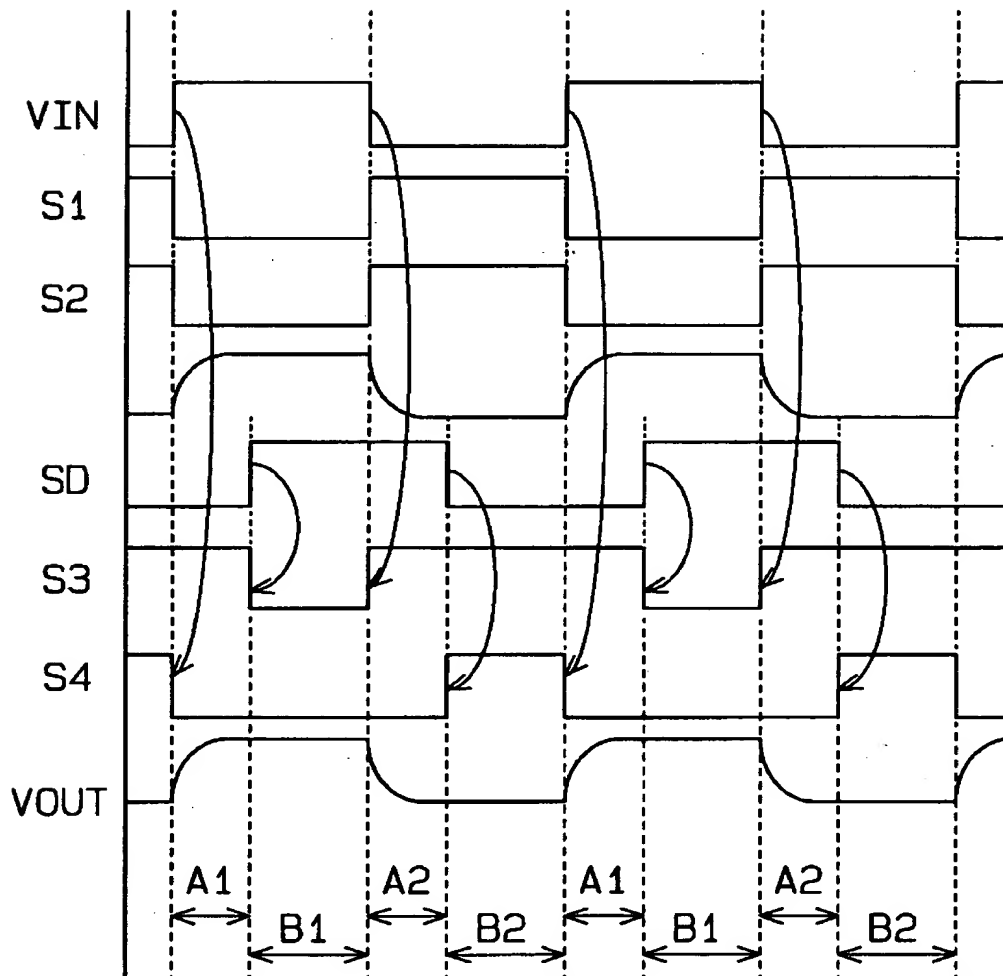
【図 1】

第一実施形態の出力バッファ回路の回路図



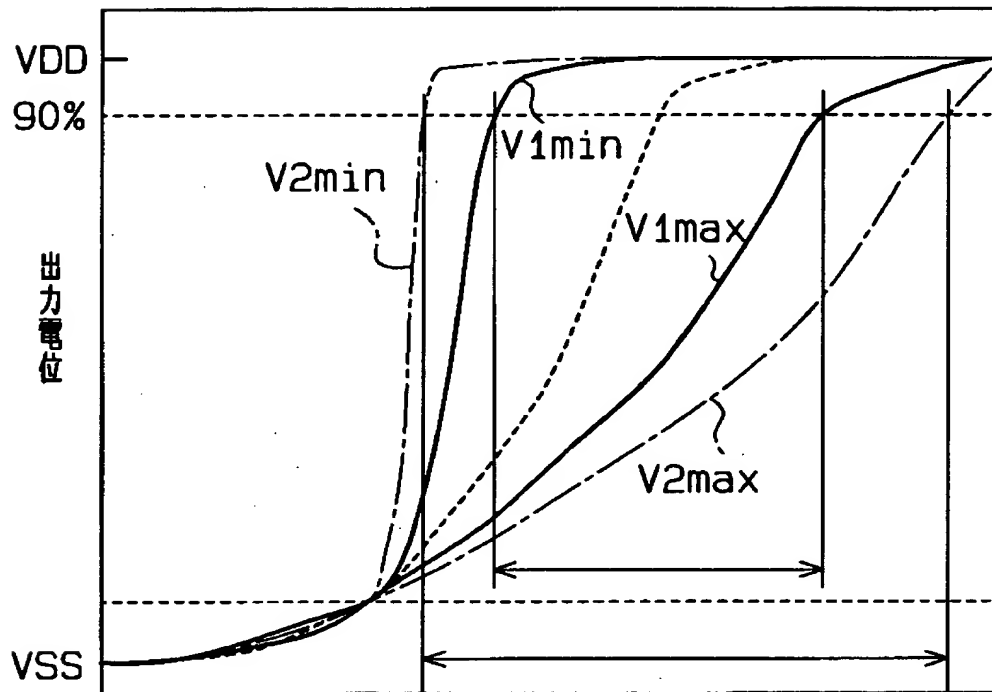
【図 2】

出力バッファ回路の動作波形図



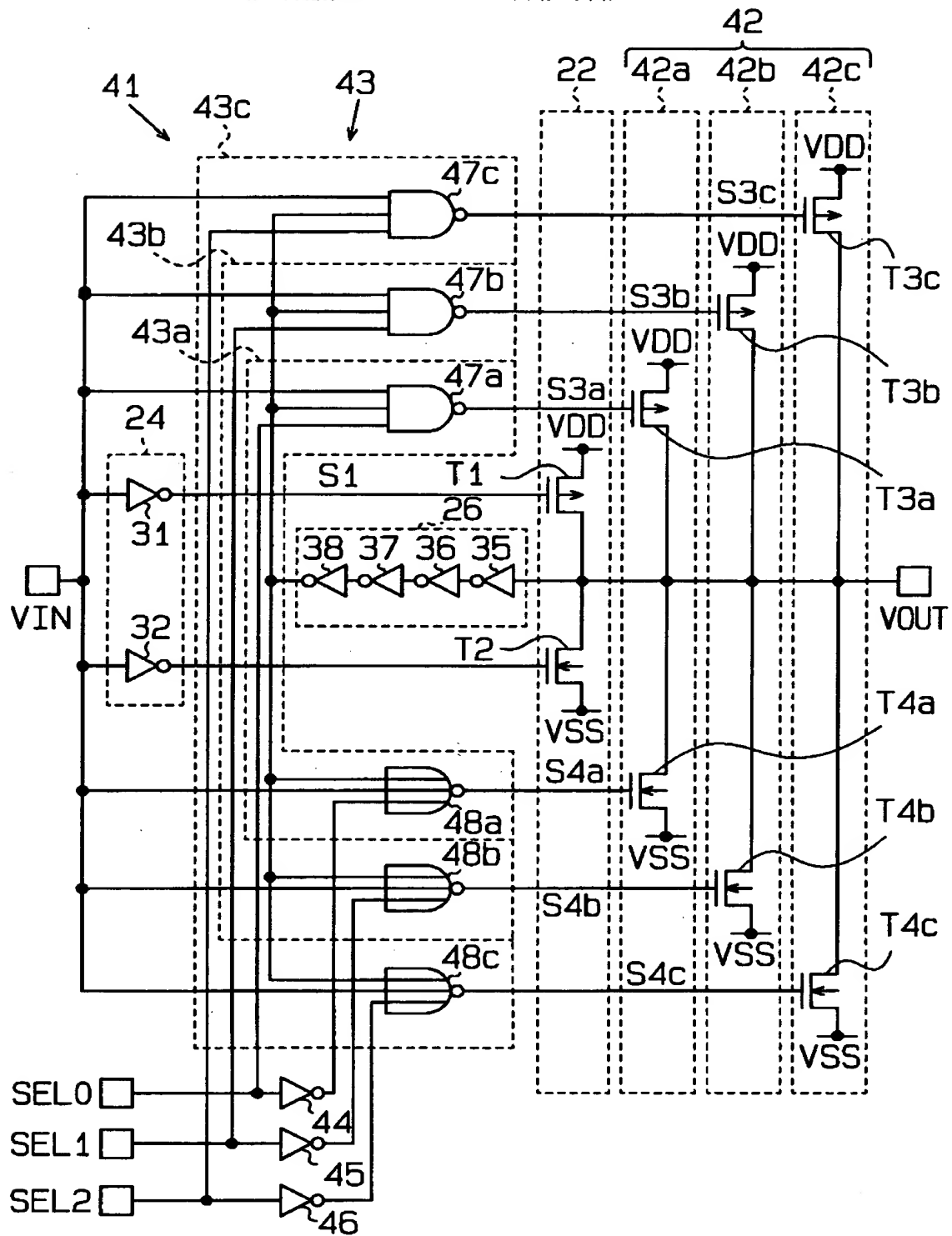
【図 3】

出力信号の遷移期間の変動量を示す波形図



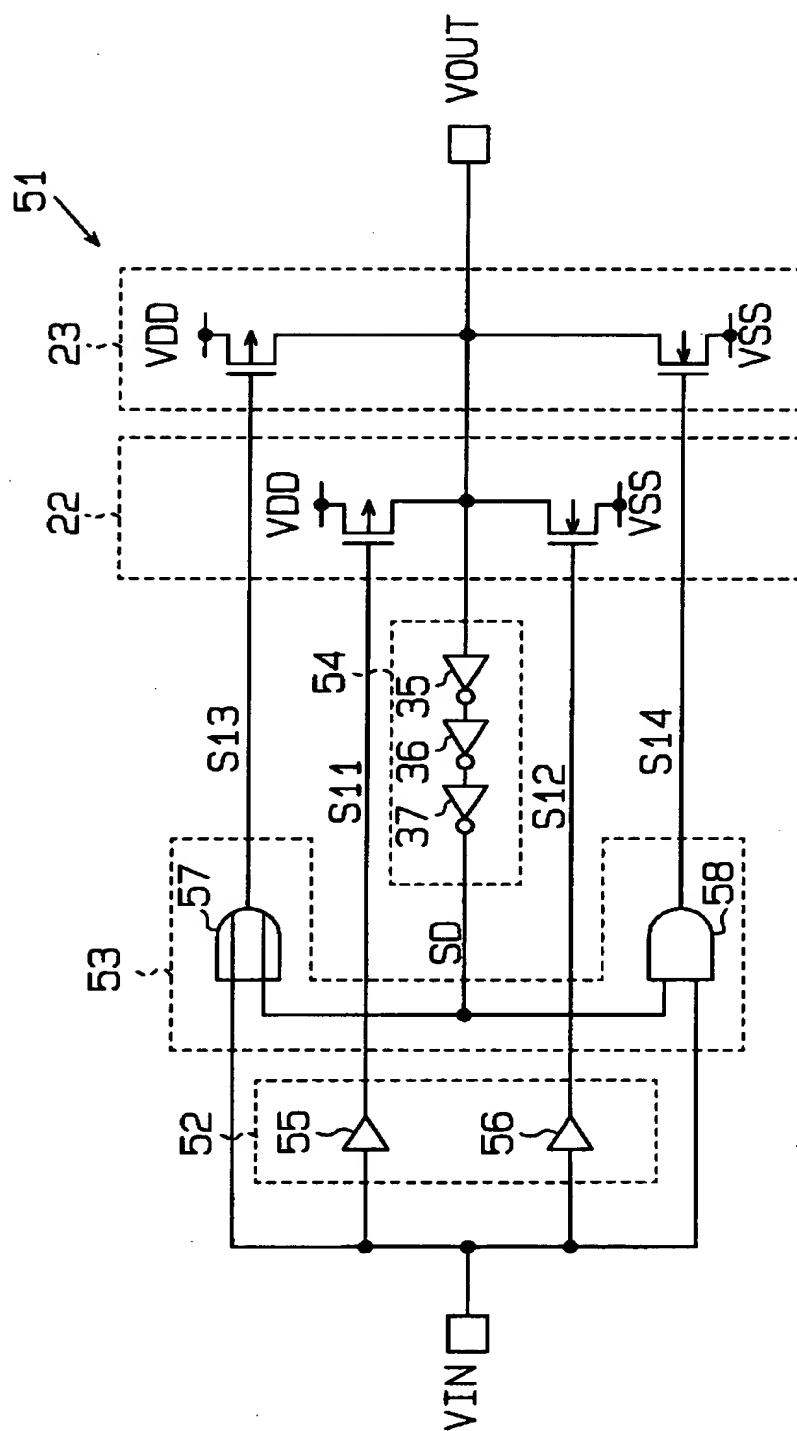
【図 4】

第二実施形態の出力バッファ回路の回路図



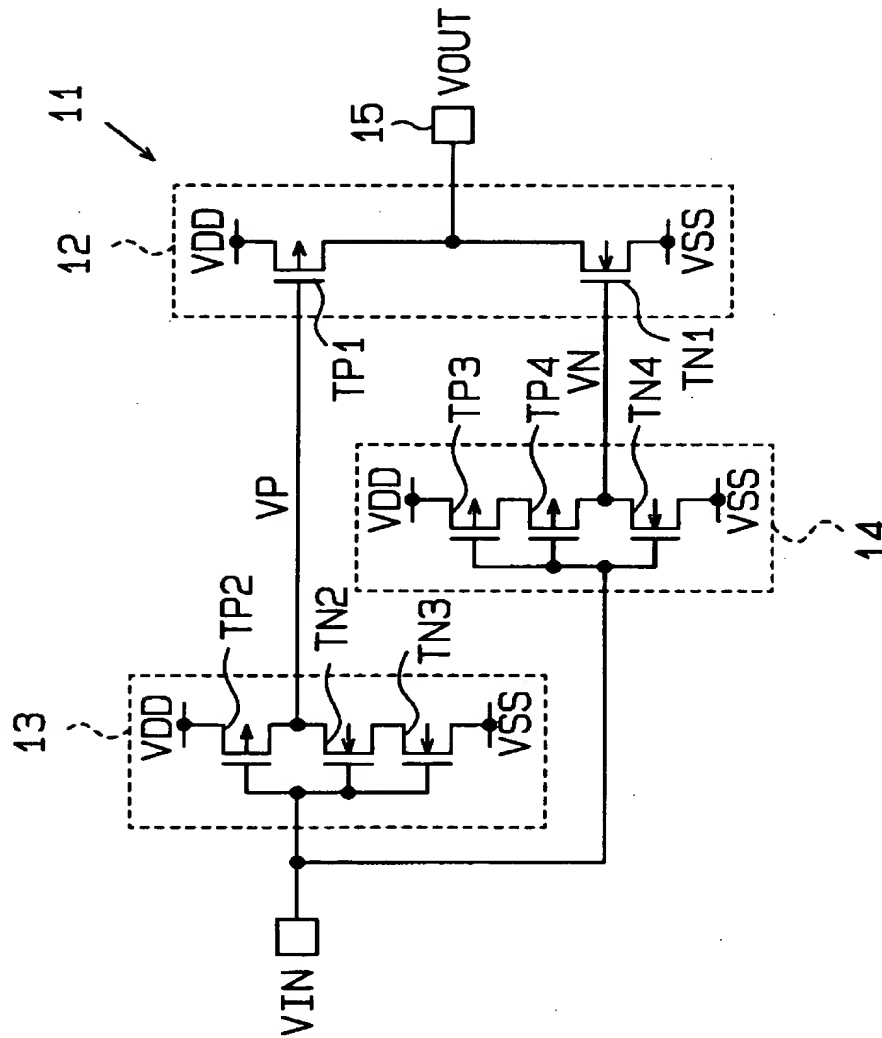
【図 5】

別出力バッファ回路の回路図



【図 6】

従来の出力バッファ回路の回路図



【書類名】 要約書

【要約】

【課題】 遷移時間のバラツキが少ない信号を出力することのできる出力バッファ回路を提供すること。

【解決手段】 第 1 ドライブ回路 2 2 は、急峻な波形を持つ入力信号 V_{IN} に応答して緩やかな波形を持つ信号 V_{OUT} を出力端子 2 8 に出力し、第 2 ドライブ回路 2 3 は、第 1 ドライブ回路 2 2 よりも出力インピーダンスが低く設定されている。遅延回路 2 6 は、出力信号 V_{OUT} を遅延した遅延信号 S_D を出力する。そして、制御回路 2 4, 2 5 は、入力信号 V_{IN} と遅延信号 S_D に基づいて、第 1 ドライブ回路 2 2 が出力信号 V_{OUT} を充分に変化させた後に第 2 ドライブ回路 2 3 を駆動する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日	1990年 9月 6日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町2丁目1844番2
氏 名	富士通ヴィエルエスアイ株式会社